PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-302643
(43)Date of publication of application : 13.11.1998

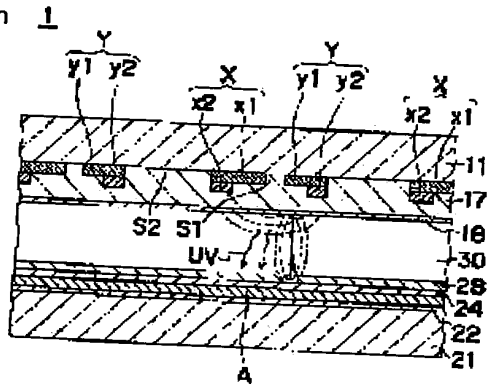
(51)Int.Cl. H01J 11/02
G09G 3/28

(21)Application number : 09-104065
(22)Date of filing : 22.04.1997

(71)Applicant : FUJITSU LTD
(72)Inventor : KUROKI MASAKI
NAKAHARA HIROYUKI
GUEN TAN NYAN

(54) PLASMA DISPLAY PANEL AND ITS DRIVING METHOD

(57)Abstract:
PROBLEM TO BE SOLVED: To surely cause a discharge necessary for addressing while ensuring a desired emission efficiency, and perform a display of high quality free from disturbance by setting the width of one electrode related to trigger discharge smaller than the width of the other to ensure the electrode area of a pair of electrodes related to the emission efficiency, and contracting the opposed area of the electrodes related to the trigger discharge.
SOLUTION: In each unit emitting area of a matrix display, a first and a second electrodes x1, y1 extended in line direction and arranged in column direction with a discharge gap are crossed to a third electrode A extended in the column direction. A sustain electrode pair is formed by the first and second electrodes x1, y1, and an address electrode pair is formed by the second electrode y1 and the third electrode A. Of the first and second electrodes x1, y1, the width of the second electrode y1 related to the trigger discharge with the address electrode A is set smaller than the width of the first electrode x1. In addressing, the trigger discharge thus becomes easy to transfer to surface discharge.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

00FN051

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号

特開平10－302643

(43)公開日　平成10年(1998)11月13日

(51)Int.Cl.[6]	識別記号	ＦＩ	
Ｈ０１Ｊ　11/02		Ｈ０１Ｊ　11/02	Ｂ
Ｇ０９Ｇ　3/28		Ｇ０９Ｇ　3/28	Ｋ
			Ｈ
			Ｂ

審査請求　未請求　請求項の数３　ＯＬ　（全９頁）

(21)出願番号　特願平9－104065

(22)出願日　平成９年(1997)４月22日

(71)出願人　000005223
富士通株式会社
神奈川県川崎市中原区上小田中４丁目１番１号

(72)発明者　黒木　正軌
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内

(72)発明者　中原　裕之
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内

(72)発明者　グェン　タン　ニヤン
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内

(74)代理人　弁理士　久保　幸雄

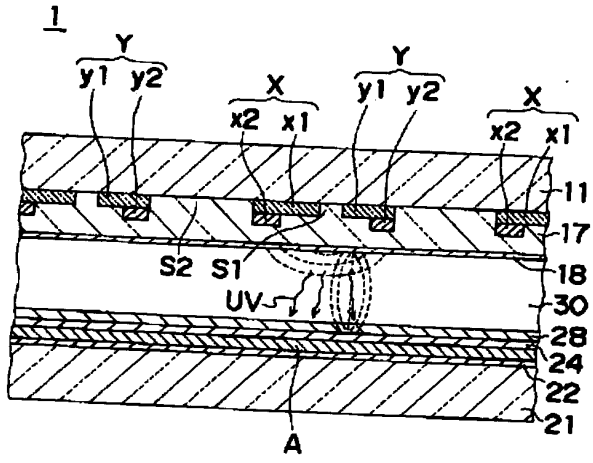
(54)【発明の名称】　プラズマディスプレイパネル及びその駆動方法

(57)【要約】

【課題】所望の発光効率を確保しつつ、アドレッシングに必要な放電を確実に生じさせて乱れのない高品位の表示を実現することを目的とする。

【解決手段】マトリクス表示の各単位発光領域で、行方向に延び且つ放電ギャップを隔てて列方向に並ぶ第１及び第２の電極ｘ１，ｙ１と、列方向に延びる第３の電極Ａとが交差し、第１及び第２の電極ｘ１，ｙ１によってサステイン電極対が構成され、第２の電極ｙ１と第３の電極Ａとによってアドレス電極対が構成される構造のＰＤＰにおいて、第２の電極ｙ１の幅を第１の電極ｘ１の幅より小さくする。

ＰＤＰの腰部断面図



【特許請求の範囲】

【請求項１】マトリクス表示の各単位発光領域において、行方向に延び且つ放電ギャップを隔てて列方向に並ぶ第１及び第２の電極と、列方向に延びる第３の電極とが交差し、前記第１及び第２の電極によってサステイン電極対が構成され、前記第２の電極と前記第３の電極とによってアドレス電極対が構成される構造のＡＣ型プラズマディスプレイパネルであって、

前記第２の電極の幅が、前記第１の電極の幅より小さいことを特徴とするプラズマディスプレイパネル。

【請求項２】請求項１記載のプラズマディスプレイパネルによる表示に際して、

前記第１及び第２の電極の間で表示輝度に応じた回数の放電を生じさせるサステイン期間において、前記サステイン電極対に印加する駆動パルスのうちの最後に印加する駆動パルスの極性を、前記第２の電極が陰極となる極性とすることを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項３】請求項１記載のプラズマディスプレイパネルによる表示に際して、

前記第１及び第２の電極の間で表示輝度に応じた回数の放電を生じさせるサステイン期間において、前記サステイン電極対に印加する駆動パルスのうちの少なくとも最後に前記第２の電極が陰極となる駆動パルスのパルス幅を、他の駆動パルスのパルス幅よりも短くすることを特徴とするプラズマディスプレイパネルの駆動方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、マトリクス表示方式のＡＣ型プラズマディスプレイパネル（PlasmaDisplay Panel：ＰＤＰ）に関し、画面に沿った放電を生じさせる面放電形式のＰＤＰに適用される。

【０００２】ＰＤＰは、テレビジョンに適合する高速表示が可能な自己発光型の薄型表示デバイスである。面放電形式のＡＣ型カラーＰＤＰは、コンピュータの画面出力などに利用されており、ＨＤＴＶ用の大画面の実現手段として注目されている。

【０００３】表示素子であるセルの集合によって画面が構成されるマトリクス表示方式のＰＤＰにおいて、セルの点灯状態の維持（サステイン）にメモリ効果が利用されている。ＡＣ型ＰＤＰは、表示電極を誘電体で被覆することにより構造的にメモリ機能を有するように構成されている。ＡＣ型ＰＤＰによる表示に際しては、表示内容に応じて点灯（発光）すべきセルのみに壁電荷を蓄積させておき、１ラインの全てのセルに対して共通に交番極性の電圧（サステイン電圧）を印加する。サステイン電圧はサステイン電極間の放電開始電圧より低い値とする。壁電荷の存在するセルでは、壁電圧がサステイン電圧に重畳するので、セルに加わる実効電圧（セル電圧）が放電開始電圧を越えて放電が生じる。サステイン電圧の印加周期を短くすれば、見かけの上で連続的な点灯状態が得られる。

【０００４】

【従来の技術】図１１は従来のＰＤＰ９０の内部構造を示す要部断面図である。ＰＤＰ９０は、マトリクス表示の単位発光領域に３つの電極が対応する面放電形式のＰＤＰである。ＰＤＰ９０では、前面側のガラス基板９１の内面に、基板面に沿った放電（面放電）を生じさせるためのサステイン電極９３，９４が、マトリクス表示のライン毎に一対ずつ配列されている。これらのサステイン電極９３，９４を放電空間９９に対して絶縁するように、ＡＣ駆動のための誘電体層９６が設けられている。誘電体層９６の表面にはイオンガンマ材料からなる保護膜９７が設けられている。誘電体層９６及び保護膜９７はともに透光性を有している。一方、背面側のガラス基板９２の内面には、サステイン電極９３，９４と直交するようにアドレス電極９５が配列されている。アドレス電極９５の上部を含めて、ガラス基板９２を被覆するように、蛍光体層９８が設けられている。

【０００５】サステイン電極９３は、平面視帯状の透明電極（ＩＴＯ膜）９３１に、それより幅の狭い帯状の金属薄膜（いわゆるバス電極）９３２を重ねた複合電極である。同様にサステイン電極９４も、平面視帯状の透明電極９４１と、それより幅の狭い帯状の金属薄膜９４２とから構成されている。金属薄膜９３２，９４２は、適正な導電性を確保するための補助導体であり、透明電極９３１，９４１における面放電ギャップから遠い側の端縁部に重ねられている。

【０００６】ＰＤＰ９０による表示に際しては、ライン順次のアドレッシングが行われる。単位発光領域内の面放電セルを点灯（発光）させる場合には、アドレス電極９５とサステイン電極９４とを適切にバイアスして対向放電（パネルの厚さ方向の放電）を生じさせ、誘電体層９６（保護膜９７も誘電体層９６の一部とする）の表面に壁電荷を蓄積させる。面放電セルを点灯させない場合は対向放電が生じないように各電極の電位を設定する。このように面放電セルの点灯／非点灯を設定するアドレッシングの後、サステイン電極９４とサステイン電極９３とに対して、これらの相対電圧の極性が交互に入れ代わるようにサステイン電圧を印加し、周期的に面放電を生じさせる。蛍光体層９８は、主に面放電で生じた紫外線ＵＶによって局部的に励起されて所定色の可視光を放つ。この可視光の内、ガラス基板９１を透過する光が表示光となる。放電空間９９の前面側に位置するサステイン電極９３，９４を上述の積層構造とすることにより、表示光の遮光を最小限に抑えつつ、面放電領域を拡げて発光効率を高めることができる。

【０００７】各ラインにおけるサステイン電極９３とサステイン電極９４との間隙Ｓ１は「放電スリット」と呼称されている。放電スリットＳ１のライン方向の一部が

面放電ギャップである。放電スリットＳ１の幅（サステイン電極９３，９４の配列方向の寸法）は１００～２００ボルト程度の駆動電圧の印加で面放電が生じるように選定されている。これに対して、隣接するラインの間におけるサステイン電極９３とサステイン電極９４との間隙Ｓ２は「逆スリット」と呼称され、この逆スリットＳ２の幅は放電スリットＳ１の幅よりも十分に大きい値に選定されている。すなわち、逆スリットＳ２を隔てて並ぶサステイン電極９３，９４の間での放電が防止されている。このように放電スリットＳ１及び逆スリットＳ２を設けてサステイン電極９３，９４を配列することにより、各ラインを選択的に発光させることができる。

【０００８】なお、通常、サステイン電極９３，９４の幅は同一であるが、アドレッシングにおけるセル選択に用いる一方のサステイン電極９４を他方のサステイン電極９３より幅広とした構造が特開平５－１２１００６号公報に開示されている。

【０００９】

【発明が解決しようとする課題】アドレッシングの理想形態は、まず、サステイン電極９４とアドレス電極９５との間でトリガー放電が起こり、この放電が直ちにサステイン電極９４とサステイン電極９４との間の面放電に移行するというものである。各サステイン電極９３，９４の近傍が均等に帯電するには面放電が不可欠である。上述のようにサステイン電極９４が金属薄膜９４２を有している場合、実際のトリガー放電は、金属薄膜９４２とアドレス電極９５との間で始まり、金属薄膜９４２の上方に壁電荷が蓄積するにつれて透明電極９４１とアドレス電極９５との間の放電に移行する。

【００１０】従来の構造では、残留電荷の影響などのためにトリガー放電が面放電に移行せずに停止する放電ミスが起こり易く、正しい表示を行うための駆動電圧の設定が難しいという問題があった。特に累積使用時間が長くなるほど、保護膜９７の膜減りのために面放電開始電圧が上昇するので、放電ミスが頻繁に発生した。表示の高精細化（ライン数の増大）や多階調化にともなって１フレームの表示期間の内で１ラインのアドレッシングに割り当て可能な時間が短くなると、さらに放電ミスが起こり易くなる。

【００１１】本発明は、所望の発光効率を確保しつつ、アドレッシングに必要な放電を確実に生じさせて乱れのない高品位の表示を実現することを目的としている。

【００１２】

【課題を解決するための手段】一対の透明電極のうち、アドレッシングのトリガー放電に係わる一方の電極の幅を他方の幅よりも小さくする。つまり、発光効率に係わる電極対の電極面積を確保し、且つトリガー放電に係わる電極どうしの対向面積を縮小する。対向面積が小さければ、トリガー放電が迅速に発光効率に係わる電極間の放電に移行する。

【００１３】電極の幅が小さくなった分だけ逆スリットが拡がり、隣接ライン間の放電の結合がより確実に防止される。逆スリットを従来と同一幅とすれば、電極の幅が小さくなった分だけ、ラインピッチの縮小（高精細化）が可能である。

【００１４】一対の電極の幅が異なると、サステイン期間において幅の小さい電極の外側（逆スリット側）が帯電し易い。逆スリットに壁電荷が存在すると、サステインにはほとんど問題はないものの、サステインの後に行われる新たな表示のためのアドレッシングが不確実となってしまう。負電荷（電子）は中和やリークなどで比較的に早く消滅するのに対し、正電荷（イオン）は長く残存する。そこで、サステイン期間において、サステイン終了時点での逆スリットにおける正電荷の残留を防ぐように駆動電圧を印加する。例えば、一対の電極に正極性の電圧パルスを交互に印加する場合には、幅の大きい電極に対するパルス幅を他方より短くする。逆に負極性の電圧パルスを交互に印加する回路構成では、幅の小さい透明電極に対するパルス幅を短くする。つまり、幅の小さい電極が陰極となるときにパルス幅を短くする。ただし、サステインの全期間にわたってパルス幅を短くする必要はない。サステイン期間の最後の印加電圧を幅の小さい電極が陰極となるようにしても同様の効果が得られる。

【００１５】請求項１の発明のＰＤＰは、マトリクス表示の各単位発光領域において、行方向に延び且つ放電ギャップを隔てて列方向に並ぶ第１及び第２の電極と、列方向に延びる第３の電極とが交差し、前記第１及び第２の電極によってサステイン電極対が構成され、前記第２の電極と前記第３の電極とによってアドレス電極対が構成され、前記第２の電極の幅が前記第１の電極の幅より小さい構造のＰＤＰである。

【００１６】請求項２の発明の駆動方法は、前記第１及び第２の電極の間で表示輝度に応じた回数の放電を生じさせるサステイン期間において、前記サステイン電極対に印加する駆動パルスのうちの最後に印加する駆動パルスの極性を、前記第２の電極が陰極となる極性とするものである。

【００１７】請求項３の発明の駆動方法は、前記第１及び第２の電極の間で表示輝度に応じた回数の放電を生じさせるサステイン期間において、前記サステイン電極対に印加する駆動パルスのうちの少なくとも最後に前記第２の電極が陰極となる駆動パルスのパルス幅を、他の駆動パルスのパルス幅よりも短くするものである。

【００１８】

【発明の実施の形態】図１は本発明のＰＤＰ１の内部構造を示す斜視図、図２はＰＤＰ１の要部断面図である。

【００１９】図１のＰＤＰ１は、フルカラー表示の可能な面放電形式のＡＣ型ＰＤＰであり、蛍光体の配置形態による分類の上で反射型と呼称されている。ＰＤＰ１で

は、パネル外囲器を構成する基板対における前面側のガラス基板１１の内面に、サステイン電極Ｘ，Ｙが配列されている。これらのサステイン電極Ｘ，Ｙを放電空間３０に対して被覆するように、低融点ガラスからなる厚さ３０μｍ程度の誘電体層１７が表示領域の全域に設けられている。誘電体層１７の表面には保護膜１８として厚さ数千オングストロームの酸化マグネシウム膜が形成されている。化学気相成長（ＣＶＤ）によれば、保護膜１８の厚さを数μｍ以上とすることができる。誘電体層１７及び保護膜１８はともに透光性を有している。

【００２０】一方、背面側のガラス基板２１の内面には、サステイン電極Ｘ，Ｙと直交するようにアドレス電極（第３の電極）Ａが配列されている。アドレス電極Ａは下地層２２の上に設けられ、厚さ１０μｍ程度の誘電体層２４によって被覆されている。誘電体層２４の上には、高さ１５０μｍの平面視直線帯状の隔壁２９が、各アドレス電極Ａの間に１つずつ設けられている。これらの隔壁２９によって放電空間３０がライン方向にサブピクセル（単位発光領域）毎に区画され、且つ放電空間３０の間隙寸法が規定されている。そして、アドレス電極Ａの上部を含めて、誘電体層２４の表面及び隔壁２９の側面を被覆するように、カラー表示のためのＲ，Ｇ，Ｂの３色の蛍光体層２８Ｒ，２８Ｇ，２８Ｂ（以下、特に色を区別する必要がないときは蛍光体層２８と記述する）が設けられている。放電空間３０には、放電ガスとしてネオンにキセノン（１～１５％モル程度）を混合したペニングガスが封入されている。ＰＤＰ１において、表示の１画素（ピクセル）は、各ラインＬ内の隣接する３つのサブピクセル（単位発光領域）で構成される。各列内の各ラインの発光色は同一である。

【００２１】なお、ＰＤＰ１では、マトリクス表示の列方向（サステイン電極Ｘ，Ｙの配列方向）に放電空間３０を区画する隔壁は存在しない。そのため、ラインＬ間の電極間隙（逆スリット）は、面放電ギャップ（例えば８０～１４０μｍ）より大きい値（例えば４００～５００μｍ）に選定されている。

【００２２】図２のように、サステイン電極Ｘは、平面視において帯状にパターニングされた厚さ０．０２μｍのＩＴＯ膜である透明電極ｘ１と、それより幅の狭い帯状にパターニングされた厚さ２μｍの金属膜（バス電極）ｘ２とから構成されている。同様にサステイン電極Ｙも、帯状のＩＴＯ膜である透明電極ｙ１と、それより幅の狭い帯状の金属膜ｙ２とが一体化した複合電極である。金属膜ｘ２，ｙ２は、ともにクロム／銅／クロムの３層構造の非透光性薄膜であり、サステイン電極Ｘ，Ｙのライン抵抗を低減するための補助導体として、透明電極ｘ１，ｙ１の放電空間側の表面上に放電スリットＳ１から遠い側の端縁に寄せて形成されている。

【００２３】ここで、構造上の重要な特徴は、一対の透明電極ｘ１，ｙ１のうち、アドレス電極Ａとの間のトリガー放電に係わる一方の透明電極ｙ１の幅が、他方の透明電極ｘ１の幅よりも小さいことである。幅の比率の実用上の好適値は８０～９０％程度である。具体例としては、透明電極ｘ１の幅は９５μｍであり、透明電極ｙ１の幅は８０μｍである。なお、透明電極ｙ１の幅はサステイン電極Ｙの幅であり、透明電極ｘ１の幅はサステイン電極Ｘの幅である。透明電極ｙ１の幅を小さくすることにより、アドレス電極Ａとの対向面積が小さくなり、アドレッシングに際してトリガー放電が面放電に移行し易くなる。

【００２４】図３はＰＤＰ１の電極マトリクスの概略図であり、放電空間３０からみた各ガラス基板１１，２１の電極配列を模式的に示している。マトリクス表示の１ラインには一対のサステイン電極Ｘ，Ｙが対応し、１列には１本のアドレス電極Ａが対応する。そして、３列が１ピクセルに対応する。図３において斜線が付された枠状の領域ａ３１は、ガラス基板１１，２１の接合領域である。全てのサステイン電極Ｘはガラス基板１１における水平方向の一方の端縁部まで導出され、全てのサステイン電極Ｙは他方の端縁部まで導出されている。サステイン電極Ｘは、駆動回路の簡単化のために共通端子Ｘｔと一体化され、電気的に共通化されている。サステイン電極Ｙは、ライン順次のアドレッシングを可能とするために、１ラインずつ独立した個別電極とされ、個々に個別端子Ｙｔと一体化されている。また、アドレス電極Ａは、ガラス基板２１における垂直方向の端縁部の個別端子Ａｔと一体化されている。

【００２５】接合領域ａ３１の内側において、サステイン電極Ｘ，Ｙとアドレス電極Ａとによって放電セルの画定される領域が、有効表示領域ａ１（スクリーン）である。有効表示領域ａ１と接合領域ａ３１との間には、接合材料のガス放出の影響を避けるために枠状の非表示領域ａ２が設けられている。ガラス基板２１の非表示領域ａ２の部分に、放電ガスを封入するための貫通孔２１０が設けられている。

【００２６】以上の構成のＰＤＰ１は、図示しない駆動ユニットと組み合わせた状態で、壁掛け式テレビジョン受像機などの表示デバイスとして使用される。その際、ＰＤＰ１は、フレキシブル配線板などを介して駆動ユニットと電気的に接続される。

【００２７】次に、ＰＤＰ１の駆動方法について説明する。図４はフィールド構成図であり、図５は印加電圧の波形図である。図６はアドレス期間ＴＡにおける壁電荷の推移の模式図である。

【００２８】ＰＤＰ１による表示に際しては、画面（１フレーム）に例えば１つのフィールドｆを対応づける。２５６階調表示を行う場合には、１つのフィールドｆを８つのサブフィールドｓｆに分割する。各サブフィールドｓｆを、リセット期間ＴＲ、アドレス期間ＴＡ、及びサステイン期間ＴＳに区分する。そして、各サブフィー

ルドｓｆにおける輝度の相対比率が１：２：４：８：１６：３２：６４：１２８となるように重み付けをして、各サブフィールドｓｆのサステイン期間ＴＳにおける発光回数を設定する。各サブフィールドｓｆは、１つの階調レベルの画面表示期間である。なお、テレビジョンのようにインタレース形式で走査された画面を再生する場合には、１画面（１フレーム）を表示するために２つのフィールドｆを用いる。

【００２９】リセット期間ＴＲは、それ以前の点灯状態の影響を防ぐため、有効表示領域ａ１の壁電荷の消去（全面消去）を行う期間である。図５のように、リセット期間ＴＲにおいて、駆動ユニットは、サステイン電極Ｘに面放電開始電圧$Ｖｆ_{XY}$を越える波高値Ｖｒ（＝Ｖｓ＋Ｖｗ）の正極性の書込みパルスＰＷを印加する。同時に全てのアドレス電極Ａに波高値Ｖａｗの正極性のパルスＰａｗを印加する。

【００３０】書込みパルスＰＷの立上がりに呼応して全てのラインＬで強い面放電が生じ、誘電体層１７に壁電荷が生じる。しかし、書込みパルスＰＷの立下がりに呼応して、壁電荷によるいわゆる自己放電が生じ、誘電体層１７の壁電荷が消失する。パルスＰａｗは、放電空間３０の背面側の壁面への壁電荷の蓄積を抑えるために印加される。

【００３１】アドレス期間ＴＡは、ライン順次のアドレッシングを行う期間である。サステイン電極Ｘを接地電位に対して正電位Ｖａｘ（例えば＋５０ボルト）にバイアスし、全てのサステイン電極Ｙを負電位Ｖｓｃ（例えば－７０ボルト）にバイアスする。この状態で、先頭のラインＬから１ラインずつ順に各ラインＬを選択し、サステイン電極Ｙに負極性のスキャンパルスＰｙを印加する。選択されたラインＬのサステイン電極Ｙの電位は、一時的に負電位Ｖｙ（例えば－１７０ボルト）にバイアスされる。ラインＬの選択と同時に、点灯すべきセルに対応したアドレス電極Ａに対して波高値Ｖａ（例えば＋６０ボルト）の正極性のアドレスパルスＰａを印加する。

【００３２】選択されたラインＬにおいて、アドレスパルスＰａの印加されたセルでは、サステイン電極Ｙとアドレス電極Ａとの間で基板対向方向のトリガー放電が起こる。サステイン電極Ｘがアドレスパルスパルスと同極性の電位にバイアスされているので、そのバイアスでアドレスパルスＰａが打ち消され、サステイン電極Ｘとアドレス電極Ａとの間では放電は起きない。また、サステイン電極Ｘのバイアス電位Ｖａｘは、ラインＬ内の非選択のセルに壁電荷が蓄積するのを防止するため、サステイン電極Ｘとサステイン電極Ｙとの相対電圧が面放電開始電圧$Ｖｆ_{XY}$より低くなるように設定されている。通常、面放電開始電圧$Ｖｆ_{XY}$は、サステイン電極Ｙとアドレス電極Ａとの間の放電開始電圧$Ｖｆ_{AY}$より高い。

【００３３】トリガー放電は、サステイン電極Ｙの内の金属膜ｙ２とアドレス電極Ａとの間で始まり、誘電体層１７に正電荷が蓄積するにつれて、透明電極ｙ１とアドレス電極Ａとの間の放電に移行する。蛍光体層２８には負電荷が蓄積する。正電荷及び負電荷の蓄積によってサステイン電極Ｙとアドレス電極Ａとの間の電界が弱まり、対向放電が停止する〔図６（Ａ）〕。このトリガー放電によって放電スリットＳ１の近辺の放電空間３０に浮遊電荷が発生するので、プライミング効果によって面放電開始電圧$Ｖｆ_{XY}$が下がる。このため、サステイン電極Ｘとサステイン電極Ｙとの間の面放電が起こり、誘電体層１７上の壁電荷の蓄積量が増大する〔図６（Ｂ）〕。放電スリットＳ１の近辺に蓄積した壁電荷は、サステインに有効に作用する。

【００３４】サステイン期間ＴＳは、階調レベルに応じた輝度を確保するために、アドレッシングによって設定された点灯状態を維持する期間である。対向放電を防止するため、全てのアドレス電極Ａを正極性の電位（例えばＶｓ／２）にバイアスし、最初に全てのサステイン電極Ｙに波高値Ｖｓ（$Ｖｓ＜Ｖｆ_{XY}$）の正極性のサステインパルスＰｓを印加する。その後、サステイン電極Ｘとサステイン電極Ｙとに対して、交互に波高値Ｖｓの正極性のサステインパルスＰｓを印加する。サステインパルスＰｓの印加毎に、アドレス期間ＴＡにおいて壁電荷の蓄積したセルで面放電が生じる。本実施形態では、サステイン期間ＴＳの最終のサステインパルスＰｓは、サステイン電極Ｙに対してサステインパルスＰｓに印加される。この印加による面放電において、サステイン電極Ｙが陽極となるので、サステイン電極Ｙの側に帯電する壁電荷は負電荷（電子）である。面放電が拡がって負電荷が逆スリットＳ１に帯電したとしても、次のサブフィールドｓｆの表示に支障はない。負電荷の大半が次のサブフィールドｓｆにおける書込みパルスＰＷの印加までに消失するからである。つまり、サステイン電極Ｘ，Ｙの幅が異なっても正しく表示を行うことができる。

【００３５】図７は第２の駆動方法に係るサステイン期間ＴＳの印加電圧の波形図、図８は図７のパルス幅と帯電状態との関係の模式図である。これらの図では説明の便宜のためにＰＤＰ１の構造が簡略化されている。

【００３６】図７の駆動方法も、上述の方法と同様に１フレームを複数のサブフィールドｓｆに分け、リセット期間ＴＲ，アドレス期間ＴＡ、及びサステイン期間ＴＳを設けて階調表示を行うものである。サステイン期間ＴＳにおいて、サステイン電極Ｘとサステイン電極Ｙとに対して交互に波高値Ｖｓの正極性のパルスを印加する点も同様である。図７の駆動方法の特徴は、サステイン期間ＴＳの最終のサステインパルスＰｓｓをサステイン電極Ｘに対して印加することである。このサステインパルスＰｓｓのパルス幅ｗ２は、他のサステインパルスＰｓのパルス幅ｗ１より短い。これによって、次のサブフィールドｓｆのリセット処理の障害となる“逆スリットＳ

２に対する正電荷の帯電”が防止される。すなわち、通常のパルス幅ｗ１のサステインパスルＰｓをサステイン電極Ｘに印加すると、サステイン電極Ｘを陽極とする（サステイン電極Ｘを陰極とする）面放電が起こり、サステイン電極Ｘの側に負電荷が、サステイン電極Ｙの側に正電荷が帯電する。面放電は１μｓ程度の時間が経過した時点で停止するが、その後もバイアスがかかっている間は浮遊電荷の静電吸着による帯電が進む。このため、サステインパルスＰｓの立下がり時点ｔ１では、図８（Ａ）のように逆スリットＳ２に正電荷が存在する。次に、サステイン電極Ｙに対してサステインパスルＰｓを印加すると、サステイン電極Ｙを陽極とする面放電が起こり、図８（Ａ）のように以前と逆極性の壁電荷が帯電する。このときのサステインパルスＰｓの立下がり時点ｔ２では、図８（Ｂ）のように逆スリットＳ２に負電荷が存在する。そして、最後に短いパルス幅ｗ２のサステインパルスＰｓｓをサステイン電極Ｘに印加すると、再びサステイン電極Ｘの側に負電荷、サステイン電極Ｙの側に正電荷が帯電する。ただし、この場合は、電圧印加時間が短いので、放電停止後の帯電が進行しない。したがって、サステインパルスＰｓｓの立下がり時点ｔ３において図８（Ｃ）のように逆スリットＳ２に電荷が実質的に存在しない。

【００３７】図９は第２のＰＤＰ２のサステイン電極構造の模式図である。ＰＤＰ２も上述のＰＤＰ１と同様の面放電形式のＰＤＰである。マトリクス表示の各単位発光領域に、サステイン電極Ｘ２、サステイン電極Ｙ２、及びアドレス電極Ａ２が存在する。図示は省略したが、サステイン電極Ｘ２，Ｙ２は誘電体によって放電空間３０２に対して絶縁されている。

【００３８】サステイン電極Ｘ２は、透明電極ｘ１２と、補助導体である金属膜ｘ２２とからなる。サステイン電極Ｙ２の幅W_Yは、サステイン電極Ｘ２の幅W_Xよりも小さい。金属膜ｘ２２は、透明電極ｘ１２の放電空間側の表面に蒸着され、透明電極ｘ１２における放電スリットＳ１２から遠い側の端縁部に寄せて配置されている。サステイン電極Ｙ２も、透明電極ｙ１２と補助導体である金属膜ｙ２２とからなる。ただし、金属膜ｙ２２は、透明電極ｙ１２の放電空間側の表面に放電スリットＳ１２に近い側の端縁部に寄せて配置されている。金属膜ｙ２２を放電スリットＳ１の近傍に配置することにより、面放電がおこり易くなるので、トリガー放電の面放電への移行が促進される。

【００３９】図１０は駆動方法の変形例を示す印加電圧波形である。サステイン期間ＴＳにおいて、サステイン電極Ｘに対してパルス幅ｔ２の正極性のサステインパルスＰｓｓを印加し、サステイン電極Ｙに対してパルス幅ｔ１（ｔ１＞ｔ２）の正極性のサステインパルスＰｓを印加することによって、周期的に面放電を生じさせる。つまり、サステイン電極Ｙが陰極となるときの電圧印加時間を短くする。これにより、逆スリットＳ２への正電荷の帯電が防止される。なお、サステインパルスＰｓ，Ｐｓｓを負極性パルスとするときは、サステイン電極Ｘに対してサステインパルスＰｓを印加し、サステイン電極Ｙに対してサステインパルスＰｓｓを印加する。

【００４０】以上の説明で例示したＰＤＰ１～４は、いずれもアドレス電極Ａ，Ａ２が背面側のガラス基板２１の内面に配置された構造のものであるが、本発明は、アドレス電極Ａ，Ａ２とサステイン電極対とが同一の基板によって支持される構造のＰＤＰにも適用可能である。

【００４１】

【発明の効果】請求項１乃至請求項３の発明によれば、所望の発光効率を確保しつつ、アドレッシングに必要な放電を確実に生じさせて乱れのない高品位の表示を実現することができる。

【００４２】請求項２又は請求項３の発明によれば、サステイン期間において以後の駆動の障害となる不要の正電荷の帯電を防止することができる。

【図面の簡単な説明】

【図１】本発明のＰＤＰの内部構造を示す斜視図である。

【図２】ＰＤＰの要部断面図である。

【図３】ＰＤＰの電極マトリクスの概略図である。

【図４】フィールド構成図である。

【図５】印加電圧の波形図である。

【図６】アドレス期間における壁電荷の推移を示す模式図である。

【図７】第２の駆動方法に係るサステイン期間の印加電圧の波形図である。

【図８】図７のパルス幅と帯電状態との関係の模式図である。

【図９】第２のＰＤＰのサステイン電極構造の模式図である。

【図１０】駆動方法の変形例を示す印加電圧波形である。

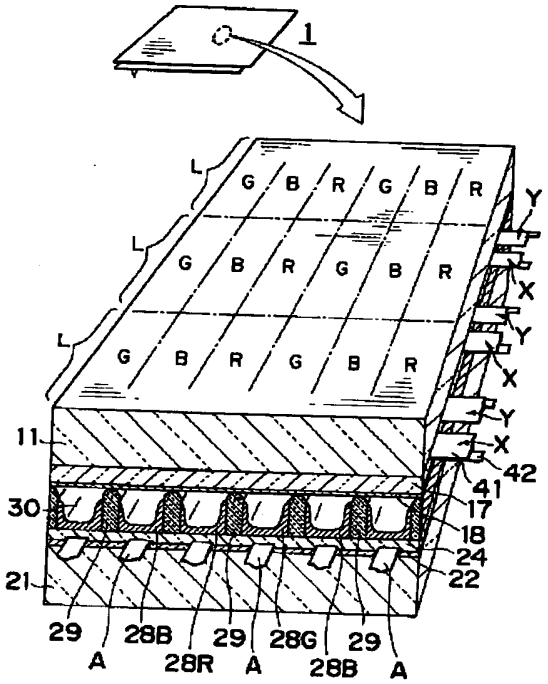
【図１１】従来のＰＤＰの内部構造を示す要部断面図である。

【符号の説明】

１，２　ＰＤＰ（プラズマディスプレイパネル）
３０，３０２　放電空間
Ａ　アドレス電極（第３の電極）
Ｓ１，Ｓ１２　放電スリット（放電ギャップ）
ＴＳ　サステイン期間
W_X　W_Y　幅
ｘ１，ｘ１２　サステイン電極（第１の電極）
ｙ２，ｙ１２　サステイン電極（第２の電極）

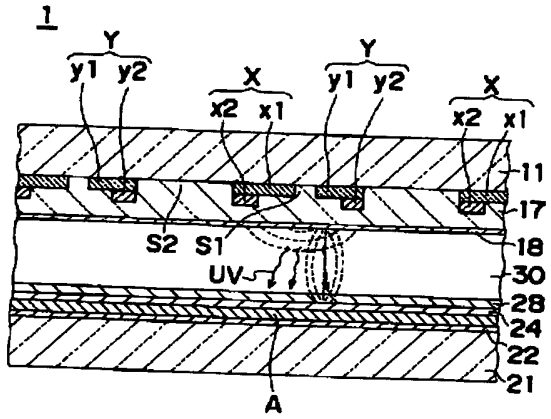
【図１】

本発明のＰＤＰの内部構造を示す斜視図



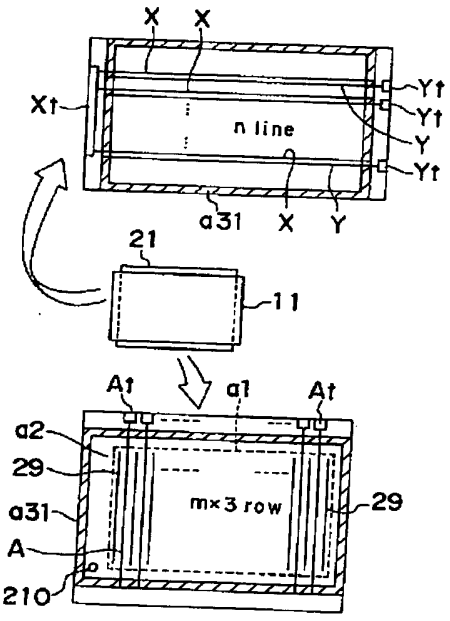
【図２】

ＰＤＰの要部断面図



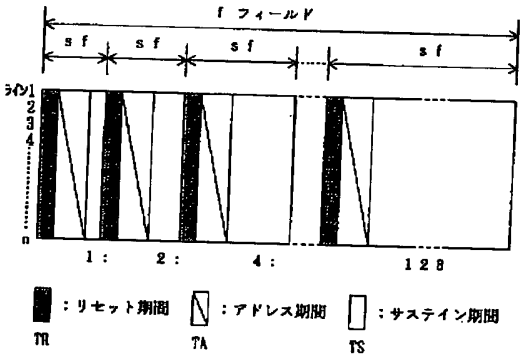
【図３】

ＰＤＰの電極マトリクスの概略図



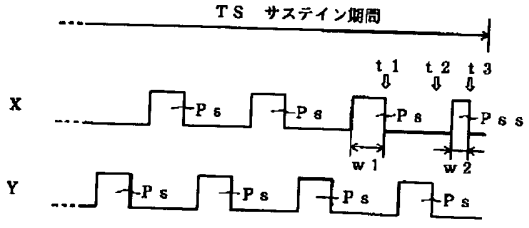
【図４】

フィールドの構成図



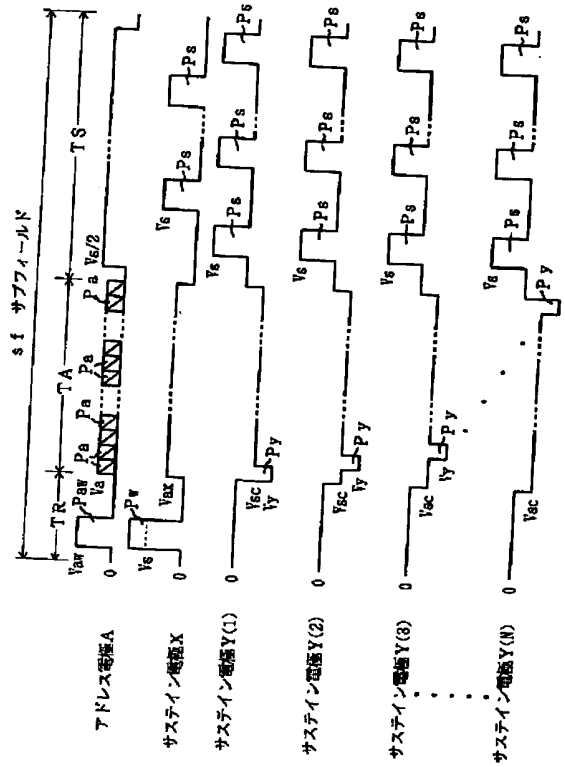
【図７】

第２の駆動方法に係るサステイン期間の印加電圧の波形図



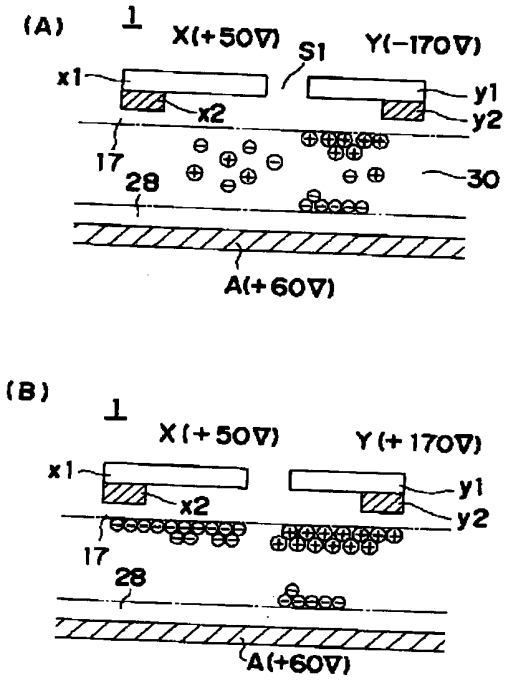
【図５】

印加電圧の波形図



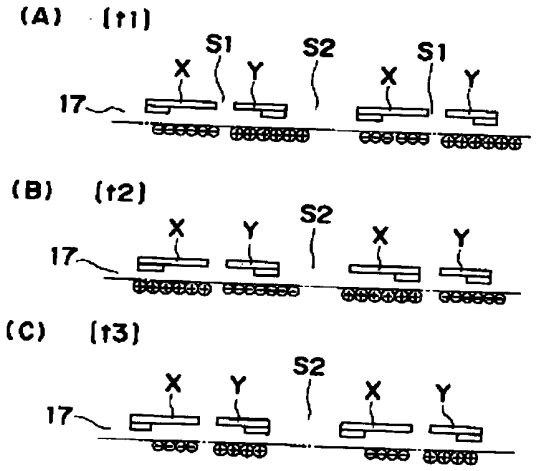
【図６】

アドレス期間における壁電荷の推移を示す模式図



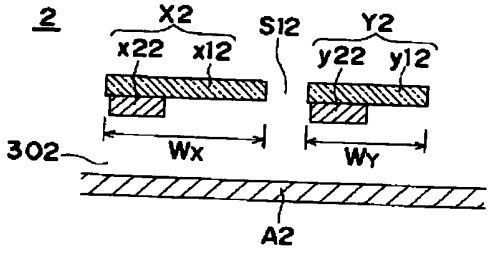
【図８】

図７のパルス幅と帯電状態との関係の模式図



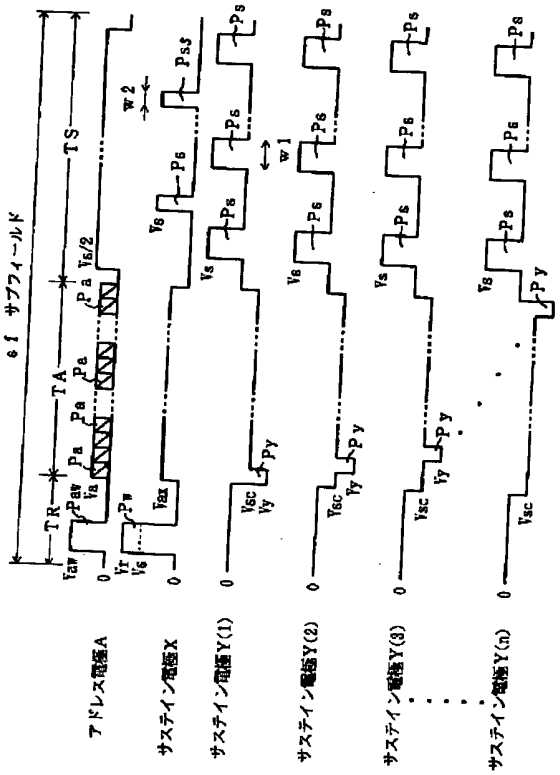
【図９】

第２のＰＤＰのサステイン電極構造の模式図



【図１０】

駆動方法の変形例を示す印加電圧の波形図



【図１１】

従来のＰＤＰの内部構造を示す要部断面図

